

TW 443581

ABSTRACT

A wafer-sized semiconductor package structure mainly comprises a wafer, a flexible circuit board and an encapsulation body. A plurality of solder pads are provided on the front of the wafer. An adhesion region and a plurality of long holes are provided on the flexible circuit board. One end of each of a plurality of traces is provided on the bottom of the long hole. The wafer is adhered to the flexible circuit board by using soft-adhesion material so that shear forces and thermal cycling stresses due to mismatch of coefficient of thermal expansion can be absorbed. The solder pads of the wafer are connected to one end of each of the traces by wire bonding. The encapsulation body covers the front and periphery of the wafer to strength the semiconductor package structure and absorb the stresses due to external force so that the reliability of product can be enhanced. The structure mainly comprises a wafer, a flexible circuit board and an encapsulation body.

5

申請日期: 89.5.20	案號: 89208683
類別: HOIL23/00	
(以上各欄由本局填註)	

443581

新型專利說明書

一、 新型名稱	中文	晶片尺寸級半導體封裝構造
	英文	
二、 創作人	姓名 (中文)	1. 魯明朕 2. 蔡潤波 3. 莊智凱
	姓名 (英文)	1. Lu, Richard 2. R. B. Tsai 3. C. K. Chuang
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 台南縣永康市忠孝路203巷37號 2. 高雄市旗津區中洲二路230號 3. 台南市南區文南路40號
三、 申請人	姓名 (名稱) (中文)	1. 南茂科技股份有限公司
	姓名 (名稱) (英文)	1. ChipMOS TECHNOLOGIES INC.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區新竹縣研發一路1號
	代表人 姓名 (中文)	1. 胡洪九
	代表人 姓名 (英文)	1.



四、中文創作摘要 (創作之名稱：晶片尺寸級半導體封裝構造)

一種晶片尺寸級半導體封裝構造，該構造主要包含一晶片、一軟板及一封膠體。該晶片之正面設有數個焊墊，而該軟板設有一黏膠區、數個長孔及該長孔底部設有數條引線之一端。該晶片及軟板利用軟黏膠材料

(soft-adhesion material) 進行黏貼，以吸收由熱膨脹係數不匹配所引起的切變力及熱循環應力，該晶片之焊墊則打線連接於長孔之引線〔trace〕一端。該封膠體則包覆於該晶片之正面及周圍，以強化該半導體封裝構造，以便吸收由外力引起的應力，進而增加產品信賴度。該構造主要包含一晶片、一軟板及一封膠體。

英文創作摘要 (創作之名稱：)



五、創作說明 (1)

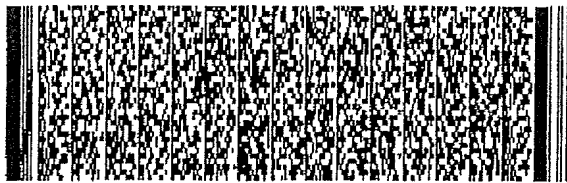
【創作領域】

本創作係關於一種晶片尺寸級半導體封裝構造，其特別有關於將晶片及軟板 (tape substrate) 之間利用具有彈性的軟黏膠材料進行黏貼，以便半導體元件在溫度產生變化時，該軟黏膠吸收該元件內部由材料不匹配 (mismatch) 所產生的機械性應力 (mechanical stress)。


【先前技術】

在半導體封裝技術領域中，隨著晶片的積體電路聚集度及複雜度增加，加上封裝體的體積減小需求，使得半導體元件內部由材料不匹配所產生的機械性應力成為最主要解決的問題，因為該應力非常容易造成該半導體元件內的內連接部無法確實形成通路，進而導致產品不良及降低產品信賴度 (reliability)。

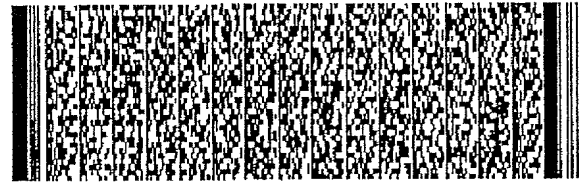
習用半導體封裝構造，如第一圖所示，其於2000年2月24日頒於吉立歐等人 (Gilleo et al.) 之美國專利第 6,020,220 號，其揭示該封裝構造100主要包含一晶片 110、一電介質基板 (dielectric substrate wiring layer) 120 及一內墊層 (compliant interpose layer) 130。該內墊層130置於該晶片110及電介質基板120之間形成相互堆疊體。該電介質基板120係由可彎曲的 (flexible) 且不可延伸的 (inextensible) 材料製成，該內墊層130係由熱固性塑料 (thermoset) 或熱塑性塑料 (thermoplastic) 組成，該材料以機械性吸收由熱膨脹



五、創作說明 (2)

係數 (Coefficient of Thermal Expansion) 不匹配所引起的切變力 (shear forces) 及熱循環應力 (thermal cycling stresses)，以避免在操作該半導體元件時由該切變力或應力作用於封裝體上。此外，該內墊層130設有數個透孔131供晶片110之焊墊111及電介質基板120之焊墊121對應，並以導電聚合物 (conductive polymer) 連接晶片110之焊墊111及相對應的電介質基板120之焊墊121，使晶片110及電介質基板120之間形成電性連接。然而，該內墊層130不但需要設有數個透孔131，且尚需要將導電聚合物填入該透孔131內形成類似覆晶連接 (flip-chip bonding) 方式連接於晶片110及電介質基板120之間，因而其具有製程複雜及提高產品製造成本之缺點。此外，半導體元件結構上，該電介質基板120及內墊層130形成可變形彎曲的結構，雖然該結構可吸收由熱膨脹係數不匹配所引起的切變力及熱循環應力，但是該結構則無法吸收由外力引起的應力，因而由外力引起的應力直接作用於該半導體元件上。

有鑑於此，本創作改良上述之缺點，其將該晶片利用軟黏膠材料直接黏貼於軟板後，以較低成本的傳統打線 (wire bonding) 方式進行打線，省略美國專利第6,020,220號之內墊層130必需設有透孔131，及將導電聚合物填入該透孔131內的類似覆晶連接製程，因而本創作不但簡化半導體元件及黏貼製程外，尚減少產品製造成本。本創作另以封膠體在晶片上進行晶片尺寸級封裝，避免美國專



五、創作說明 (3)

利第6,020,220號僅以電介質基板120及內墊層130形成封裝結構，本創作增強半導體元件的結構。

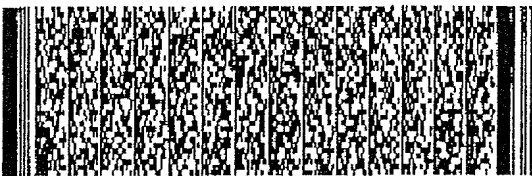
【創作概要】

本創作主要目的係提供一種晶片尺寸級半導體封裝構造，其將該晶片利用軟黏膠材料直接黏貼於較薄之軟板，使封裝構造厚度減少，使其具有簡化半導體元件及黏貼製程之功效。

本創作次要目的係提供一種晶片尺寸級半導體封裝構造，其在軟板上設有長孔及其底部設有引線一端供進行打線，且藉由長孔的深度及晶片的厚度及軟黏膠層的厚度所形成的垂直高度提供打線所需的垂直高度，使晶片在垂直方向上增加導線空間裕度，因而傳統打線方式可應用於晶片尺寸級半導體封裝而不會增加封裝構造之厚度，本創作適合採用較低成本的傳統打線方式進行打線，使其具有降低產品製造成本之功效。

本創作再一目的係提供一種晶片尺寸級半導體封裝構造，其以封膠體在晶片上進行晶片尺寸級封裝，使其具有增強半導體元件結構及增加產品信賴度之功效。

根據本創作之晶片尺寸級半導體封裝構造，該構造主要包含一晶片、一軟板及一封膠體。該晶片之正面設有數個焊墊，而該軟板設有一黏膠區、數個長孔及該長孔底部設有數條引線之一端。該晶片及軟板利用軟黏膠材料進行黏貼，以吸收由熱膨脹係數不匹配所引起的切變力及熱循環應力，該晶片之焊墊則打線連接於長孔之引線一端。該封



五、創作說明(4)

膠體則包覆於該晶片之正面及周圍，以強化該半導體封裝構造，以便吸收由外力引起的應力，進而增加產品信賴度。

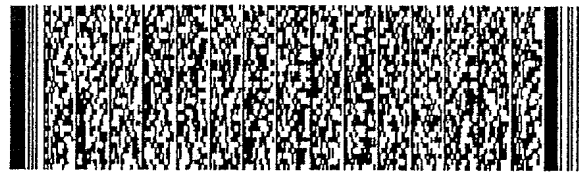
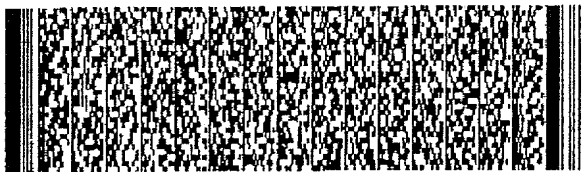
【創作說明】

為了讓本創作之上述目的、特徵和優點能更明確被了解，將特舉本創作較佳實施例，並配合所附圖式，作詳細說明如下。

本創作半導體封裝構造主要將晶片利用軟黏膠材料黏貼於軟板，以吸收由熱膨脹係數不匹配所引起的切變力及熱循環應力。晶片及軟板之間除了設有軟膠材料之外，在軟板上設有長孔及其底部設有引線一端供進行打線，藉由長孔的深度及晶片的厚度及軟膠層的厚度所形成的垂直高度補償打線所需的垂直高度，使晶片在垂直方向上增加導線空間裕度，因而傳統打線方式可應用於晶片尺寸級半導體封裝而不會增加封裝構造之厚度。

本創作另外以封膠體將該晶片及軟板組合體進行封裝，使得該組合體除了軟黏膠層外加上封膠體，以強化半導體元件結構。

請參照第二、三及四圖分別揭示本創作較佳實施例之半導體封裝構造200之上視圖、剖視圖及局部放大圖。該構造200主要包含一晶片210及一軟板220、一軟黏膠層230及一封膠體240。該晶片210之正面設有數個焊墊211，而軟板220第一表面設有一黏膠區221及數個長孔222環繞於該黏膠區221周圍，該長孔222底部設有引線223一端，而該

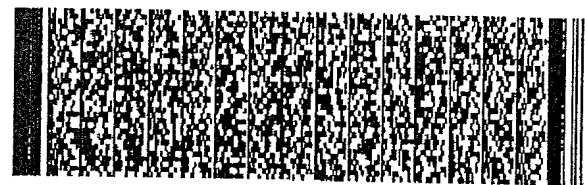
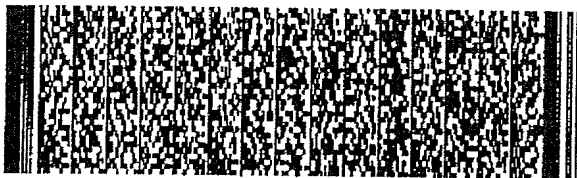


五、創作說明 (5)

引線223另一端則在軟板220第二表面延伸形成數個外接腳224，該外接腳224供電性連接於母基板〔未繪示〕上。

請再參照第三及四圖所示，在進行晶片黏貼製程〔die attachment process〕時，將晶片210背面置於軟板220之黏膠區221上，利用軟黏膠層230將兩者進行黏貼，使軟黏膠層230位於晶片210及軟板220之間，該軟黏膠層230吸收由熱膨脹係數不匹配所引起的切變力及熱循環應力。此時，晶片210之焊墊211對應於軟板220之長孔222，因此，在垂直空間高度上，晶片210之焊點及軟板220之焊點之間由晶片210之厚度及軟黏膠層230之厚度共同形成高度差，該高度差在兩焊點之間提供打線所需的垂直高度，使晶片210在垂直方向上增加導線空間裕度，因而傳統低成本的打線方式可應用於晶片尺寸級半導體封裝而不會增加封裝構造之厚度，其減少產品製造成本。在進行打線時，數條導線212連接於晶片210之焊墊211及軟板220之長孔222之間，並與長孔222底部之引線223形成通路。

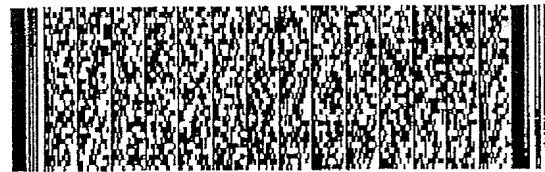
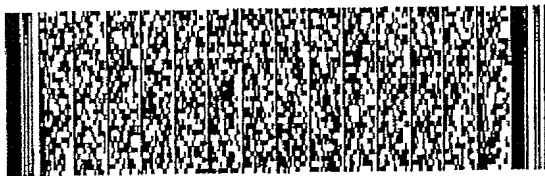
請再參照第二及三圖所示，在進行注模灌膠製程〔molding compound process〕時，將液態封膠灌入晶片210及軟板220上形成封膠體240，該封膠體240包覆密封於該晶片210之正面及周圍形成晶片尺寸級半導體封裝體，因此本創作不但減少封裝體厚度，尚可強化該半導體封裝構造。本創作構造200不但吸收熱膨脹係數不匹配所引起的切變力及熱循環應力之外，同時亦可吸收由外力引起的應力，進而增加產品信賴度。



五、創作說明(6)

請再參照第一及三圖所示，美國專利第6,020220號半導體封裝構造100之內墊層130不但需要設有數個透孔131，且尚需要將導電聚合物填入該透孔131內，因而其具有製程複雜之缺點。反觀，本創作祇利用不需要設有透孔的軟黏膠層230且省略在軟黏膠層230之透孔內填入導電聚合物製程，本創作採用傳統低成本的打線方式可應用於晶片尺寸級半導體封裝而不會增加封裝構造之厚度，其減少產品製造成本。再者，在半導體元件結構上，該電介質基板120及內墊層130形成可變形彎曲的結構，雖然該結構可吸收由熱膨脹係數不匹配所引起的切變力及熱循環應力，但是該結構則無法吸收由外力引起的應力，因而由外力引起的應力將會直接作用於該半導體元件上。反觀，本創作形成晶片尺寸級封裝體吸收由外力引起的應力，進而增加產品信賴度。

雖然本創作已以前述較佳實施例揭示，然其並非用以限定本創作，任何熟習此技藝者，在不脫離本創作之精神和範圍內，當可作各種之更動與修改，因此本創作之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

【圖式說明】

第1圖：習用美國專利第6,020,220號之半導體封裝構造之側視圖；

第2圖：本創作較佳實施例半導體封裝構造之上視圖；

第3圖：本創作第2圖沿3-3線之剖視圖；及

第4圖：本創作第3圖之局部放大圖。

【圖號說明】

100 半導體封裝構造

110 晶片

120 電介質基板

130 內墊層

200 半導體封裝構造

210 晶片

212 導線

220 軟板

222 長孔

224 外接腳

230 軟黏膠層

240 封膠體

111 焊墊

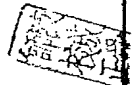
121 焊墊

131 透孔

211 焊墊

221 黏膠區

223 引線



六、申請專利範圍

1、一種半導體封裝構造，該構造包含：

一晶片，其正面設有數個焊墊；

一軟板，其第一表面設有一黏膠區及數個長孔及其底部設有引線一端，而該引線另一端則在軟板第二表面延伸形成數個外接腳；及

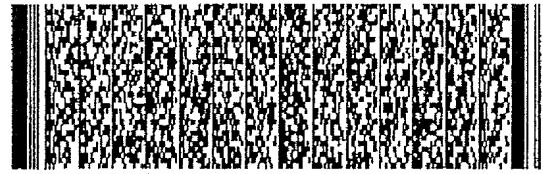
一軟黏膠層，其黏貼於該晶片背面及軟板之黏膠區上，此時，該晶片之焊墊對應於軟板之長孔，因此，在垂直空間高度上，晶片之焊點及軟板之焊點之間由晶片之厚度及軟黏膠層之厚度共同形成高度差，該高度差在兩焊點之間提供打線所需的垂直高度，使晶片在垂直方向上增加導線空間裕度；

數條導線，其打線連接於該晶片之焊墊及長孔底部之引線一端以形成通路；

其中該軟黏膠層位於晶片及軟板之間供吸收由熱膨脹係數不匹配所引起的切變力及熱循環應力。

2、依申請專利範圍第1項所述之半導體封裝構造，其中另包含一封膠體，其在進行封膠注模製程時，將樹脂封膠灌入該晶片及軟板之間形成該封膠體，其以加壓方式進入晶片及軟板之間的間隙，該封膠體包覆密封於該晶片之正面及周圍供吸收由外力引起的應力，因而增加產品信賴度。

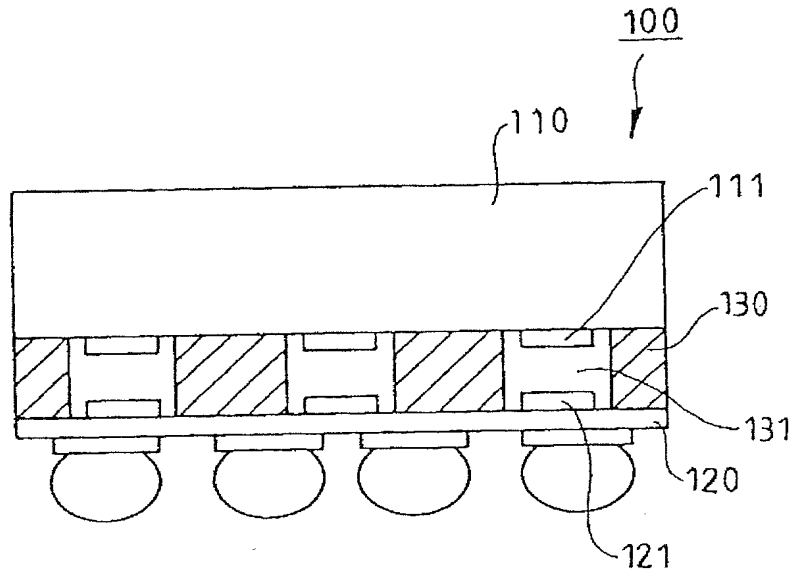
3、依申請專利範圍第1項所述之半導體封裝構造，其中該軟板之數個長孔環繞於該黏膠區周圍。



443581

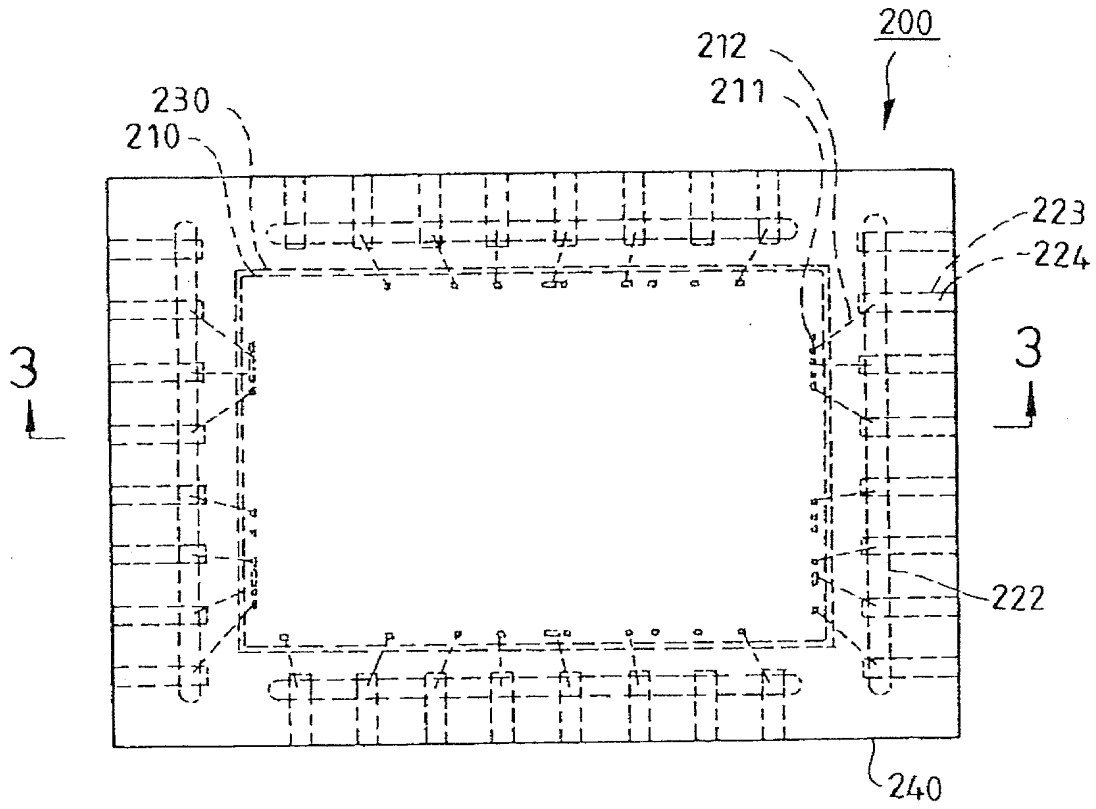
89208683

圖式

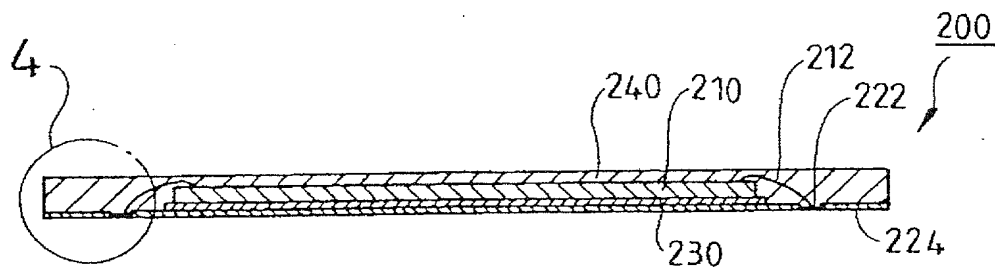


第 1 圖
PRIOR ART

圖式

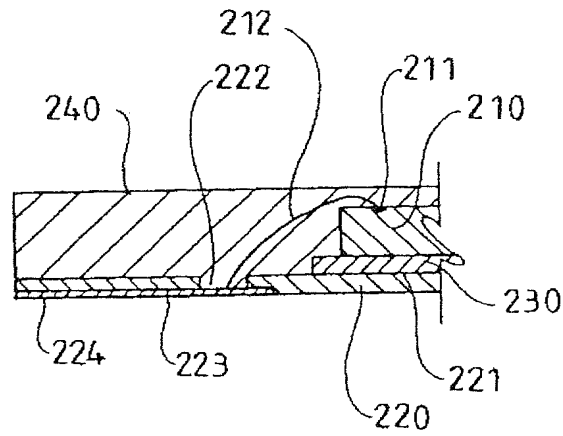


第 2 圖



第 3 圖

圖式



第 4 圖

中華民國七十二年
五月二十二日